

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-045867

(43)Date of publication of application : 16.02.1996

(51)Int.Cl. H01L 21/265
H01L 21/22
H01L 29/78

(21)Application number : 06-285192

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 18.11.1994

(72)Inventor : TAKEUCHI MASARU

(30)Priority

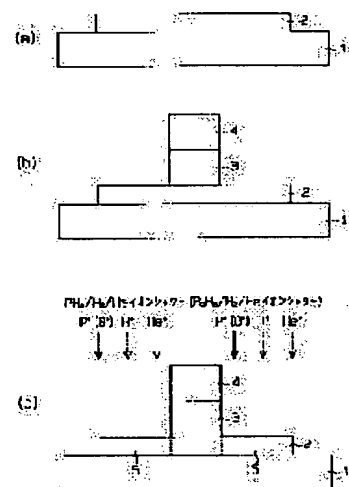
Priority number : 06115690 Priority date : 27.05.1994 Priority country : JP

(54) SEMICONDUCTOR DEVICE MANUFACTURE AND DISPLAYING DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device manufacturing which allows impurity doping to a semiconductor layer at a low temperature.

CONSTITUTION: Ion shower using phosphine gas, which is diluted with hydrogen gas and helium, is used for forming a source/drain area 5. Since the ionization probability of helium gas is larger than that of hydrogen gas, helium gas is decomposed and ionized more easily than hydrogen gas. As a result, in addition to the fact that hydrogen gas and phosphine gas are ionized by high-frequency energy, molecules of hydrogen gas and phosphine gas collide with helium ions and ionization is accelerated. Therefore, the ionization probability of phosphine gas is remarkably improved, and the efficiency of phosphorus ion implantation to a polycrystal silicon film 2 is also improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device equipped with the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower of an impurity.

[Claim 2] The manufacture approach of the semiconductor device equipped with the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower by the mixed gas of the gas containing p mold or n mold impurity, and the gas containing the element with which the grain boundary of a semi-conductor layer is compensated.

[Claim 3] The manufacture approach of the semiconductor device equipped with the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower by the mixed gas of the gas containing p mold or n mold impurity, the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and inert gas.

[Claim 4] The manufacture approach of the semiconductor device equipped with the process which irradiates impressing radio-frequency energy to the gas containing p mold or n mold impurity diluted with the mixed gas of the gas and inert gas containing the element with which the grain boundary of a semi-conductor layer is compensated, generating the plasma, and doping impurity ion to a semi-conductor layer, the ion beam of an element which compensates coincidence for the grain boundary of a semi-conductor layer, and the ion beam of inert gas to a semi-conductor layer.

[Claim 5] In order to form a source field and a drain field in a semi-conductor layer with the process which forms gate dielectric film on a semi-conductor layer, the process which forms a gate electrode on gate dielectric film, and the self-align technique using a gate electrode, The manufacture approach of the semiconductor device equipped with the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower by the mixed gas of the gas containing p mold or n mold impurity, the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and inert gas.

[Claim 6] In order to form a source field and a drain field in a semi-conductor layer with the process which forms gate dielectric film on a semi-conductor layer, the process which forms a gate electrode on gate dielectric film, and the self-align technique using a gate electrode, Impress radio-frequency energy to the gas containing p mold or n mold impurity diluted with the mixed gas of the gas and inert gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and the plasma is generated. The manufacture approach of the semiconductor device equipped with the process which irradiates doping impurity ion to a semi-conductor layer, the ion beam of an element which compensates coincidence for the grain boundary of a semi-conductor layer, and the ion beam of inert gas to a semi-conductor layer.

[Claim 7] The manufacture approach of the semiconductor device which forms the gate electrode which consists of the same ingredient as a semi-conductor layer in the manufacture approach of a semiconductor device according to claim 5 or 6.

[Claim 8] The manufacture approach of the semiconductor device which forms the gate electrode which consists of a metallic material in the manufacture approach of a semiconductor device according to claim 5 or 6.

[Claim 9] The manufacture approach of the semiconductor device which equipped any 1 term of claims 5-8 with the process which forms a semi-conductor layer on an insulating substrate in the manufacture approach of the semiconductor device a publication.

[Claim 10] The display using the semiconductor device manufactured by the manufacture approach of a semiconductor device according to claim 9 as a pixel driver element.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a semiconductor device, and a display.

[0002]

[Description of the Prior Art] In recent years, the liquid crystal display (LCD;Liquid Crystal Display) of an active matrix attracts attention as a high definition display. Development of the thin film transistor (henceforth polycrystalline silicon TFT (Thin Film Transistor)) which used for the active layer the polycrystalline silicon film formed on the transparence insulating substrate as a pixel driver element (transistor for pixel actuation) of the active-matrix LCD is furthered.

[0003] Polycrystalline silicon TFT has the advantage that mobility is large and actuation capacity is high, compared with the thin film transistor (henceforth amorphous silicon TFT) which used the amorphous silicon film for the active layer. Therefore, if polycrystalline silicon TFT is used, highly efficient LCD is realizable, and upwards, not only to the pixel section (display) but to a circumference actuation circuit (driver), on the same substrate, it can be made one and can form.

[0004] The conventional polycrystalline silicon TFT was formed using the about 1000-degree C hot process (called an elevated-temperature process). An elevated-temperature process follows LSI technology with sufficient technological backlog over many years. Therefore, the polycrystalline silicon TFT (called the elevated-temperature polycrystalline silicon TFT) formed in the elevated-temperature process is excellent in a component property, dependability, and repeatability. However, since an elevated-temperature process has high process temperature, quartz glass must be used for a substrate. Since quartz glass turns remarkably expensive up with enlargement and there is now a limitation in enlargement, the dimension of a substrate receives a limit. Therefore, although the panel size of LCD which balances in cost becomes two or less molds and can fully be used as the object for viewfinders and the object for liquid crystal projectors of a video camera, as an object for accepting reality, its panel size is too small to use it.

[0005] On the other hand, using the process of the low temperature below 400 **, since it can form,

amorphous silicon TFT can use usual glass for a substrate. Usual glass has only the heat-resistant temperature of 600 °C extent also at the high heat-resisting glass (for example, "7059" made from U.S. Corning Inc.) of quartz glass marketed for LCD although there is no about 1-μm limit also in a dimension at a price of 10.

[0006] Then, forming polycrystalline silicon TFT using the process (called a low-temperature process) of the low temperature below 600 °C extent is called for so that usual glass (high heat-resisting glass) can be used for a substrate. The polycrystalline silicon TFT formed in the low-temperature process is called the low-temperature polycrystalline silicon TFT. The formation approach of the polycrystalline silicon film used as an active layer, the formation approach of gate dielectric film, the formation approach of a source drain field, etc. pose a problem with the low-temperature polycrystalline silicon TFT.

[0007] In order to form a source drain field in the case of the usual MOS transistor (bulk transistor) formed on a single crystal silicon substrate, the ion poured in by performing the ion implantation of an impurity to a substrate, next performing hot heat treatment more than 900 °C extent first is activated.

[0008] In order to form a source drain field in the polycrystalline silicon film like this, after performing the ion implantation of an impurity, hot heat treatment more than 900 °C extent must be performed too. Moreover, if the ion implantation of an impurity is performed on the polycrystalline silicon film, in order that the field where ion was poured in may make it amorphous, also in order to make the field made amorphous polycrystallize, it is indispensable to heat-treat by being more than 900 °C extent. Therefore, when creating polycrystalline silicon TFT by the same approach as a bulk transistor, usual glass can be used for a substrate.

[0009] Then, the approach of forming a source drain field in the polycrystalline silicon film using the ion shower by the phosphine (PH₃) gas or diboron hexahydride (B₂H₆) gas diluted with hydrogen gas is proposed. That is, as shown in drawing 3, a hydrogen ion (proton) beam is irradiated at performing doping of phosphorus ion or boron ion on the polycrystalline silicon film 2 formed on the insulating substrate 1, and coincidence. Using non-mass analysis mold ion shower (ion implantation) equipment, radio-frequency energy is impressed to mixed gas with hydrogen, a phosphine, or diboron hexahydride, and, specifically, the plasma is generated. Then, while a hydrogen ion is generated, a phosphine or diboron hexahydride is decomposed and phosphorus ion or boron ion is generated. Consequently, even if it does not establish a special heat treatment process, it becomes possible to make the polycrystalline silicon film 2 diffuse an impurity, and to activate it, and it can form a source drain field. Moreover, though it heat-treats in order to make diffusion of an impurity more reliable, the temperature is below 300 °C extent, and becomes enough. Furthermore, if an ion shower is used, in order not to make it amorphous like [in case the field where the impurity of the polycrystalline silicon film 2 was doped is an ion implantation], heat treatment for making the field made amorphous polycrystallize also becomes unnecessary. Therefore, usual glass (high heat-resisting glass) can be used for an insulating substrate 1.

[0010] Moreover, the hydrogen treating of the polycrystalline silicon film 2 is also simultaneously performed on the polycrystalline silicon film 2 by irradiating a hydrogen ion beam. That is, association of the silicon atom in the crystal face or a grain boundary of polycrystalline silicon has the fault that there are many crystal defects (dangling bond) rather than it is enough. Since a fixed charge and interface state density will be easy to be formed if there is a crystal defect, it becomes difficult to raise the electrical characteristics of polycrystalline silicon TFT. Then, processing which a defect is reduced [processing] and stabilizes the crystal structure is performed by combining a hydrogen atom with the defective part of polycrystalline silicon. This is a hydrogen treating. Conventionally, as the approach of a hydrogen treating, the approach of exposing the polycrystalline silicon film into the hydrogen plasma, the amorphous silicon film containing hydrogen, a silicon nitride, etc. are formed on the polycrystalline silicon film, and the method of making the polycrystalline silicon film diffuse the hydrogen in the film concerned in subsequent heat treatment etc. is used. However, since a hydrogen treating will also be simultaneously performed if a hydrogen ion beam is irradiated at the polycrystalline silicon film 2, it becomes unnecessary to establish the special process for a hydrogen treating, a production process is

simplified, and a throughput also improves.

[0011]

[Problem(s) to be Solved by the Invention] However, in case radio-frequency energy is impressed to mixed gas with hydrogen, a phosphine, or diboron hexahydride and the plasma is generated, since the probability of ionization of hydrogen gas is small, the great portion of impressed radio-frequency energy is consumed by ionization of hydrogen gas. Therefore, the decomposition effectiveness of phosphine gas or diboron hexahydride gas falls, the probability of ionization also falls, and the injection efficiency of the phosphorus ion to the polycrystalline silicon film 2 or boron ion gets worse. Consequently, it becomes difficult to fully form into low resistance the source drain field which it becomes impossible to have doped the impurity of a complement on the polycrystalline silicon film 2, and was formed in the polycrystalline silicon film 2. If the resistance of a source drain field becomes high, the component property of polycrystalline silicon TFT will deteriorate.

[0012] By the way, if the ionization energy of hydrogen gas is foreseen and only the part enlarges radio-frequency energy, since enough impurities for the polycrystalline silicon film can be doped, it becomes possible to fully form a source drain field into low resistance. However, since there is a limitation on specification in the RF energy (the maximum acceleration voltage) which the present non-mass analysis mold ion shower bath can generate, RF energy cannot be enlarged recklessly. Moreover, since power consumption will also increase if radio-frequency energy is enlarged, a production cost will become high.

[0013] This invention is made in order to solve the above-mentioned trouble, and it has the following objects.

1) Offer the manufacture approach of the semiconductor device which can raise a throughput on the occasion of doping of the impurity to the semi-conductor layer by the low-temperature process.

[0014] 2) Offer the manufacture approach of a semiconductor device with possible making a semi-conductor layer fully form into low resistance on the occasion of doping of the impurity to the semi-conductor layer by the low-temperature process.

3) Offer the manufacture approach of the semiconductor device which can manufacture the transistor which was excellent in the component property by the high throughput.

[0015] 4) Start offering the manufacture approach of a display which was excellent in image quality, and offer the high throughput manufacture approach especially.

[0016]

[Means for Solving the Problem] Invention according to claim 1 makes it the summary to have had the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower of an impurity.

[0017] Invention according to claim 2 makes it the summary to have had the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower by the mixed gas of the gas containing p mold or n mold impurity, and the gas containing the element with which the grain boundary of a semi-conductor layer is compensated.

[0018] Invention according to claim 3 makes it the summary to have had the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower by the mixed gas of the gas containing p mold or n mold impurity, the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and inert gas.

[0019] Invention according to claim 4 impresses radio-frequency energy to the gas containing p mold or n mold impurity diluted with the mixed gas of the gas and inert gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and generates the plasma. Let it be the summary to have had the process which irradiates doping impurity ion to a semi-conductor layer, the ion beam of an element which compensates coincidence for the grain boundary of a semi-conductor layer, and the ion beam of inert gas to a semi-conductor layer.

[0020] In order that invention according to claim 5 may form a source field and a drain field in a semi-conductor layer with the process which forms gate dielectric film on a semi-conductor layer, the process which forms a gate electrode on gate dielectric film, and the self-align technique using a gate

electrode, Let it be the summary to have had the process which dopes an impurity to a semi-conductor layer by irradiating the ion shower by the mixed gas of the gas containing p mold or n mold impurity, the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and inert gas.

[0021] In order that invention according to claim 6 may form a source field and a drain field in a semi-conductor layer with the process which forms gate dielectric film on a semi-conductor layer, the process which forms a gate electrode on gate dielectric film, and the self-align technique using a gate electrode, Impress radio-frequency energy to the gas containing p mold or n mold impurity diluted with the mixed gas of the gas and inert gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and the plasma is generated. Let it be the summary to have had the process which irradiates doping impurity ion to a semi-conductor layer, the ion beam of an element which compensates coincidence for the grain boundary of a semi-conductor layer, and the ion beam of inert gas to a semi-conductor layer.

[0022] Invention according to claim 7 makes it the summary to form the gate electrode which consists of the same ingredient as a semi-conductor layer in the manufacture approach of a semiconductor device according to claim 5 or 6.

[0023] Invention according to claim 8 makes it the summary to form the gate electrode which consists of a metallic material in the manufacture approach of a semiconductor device according to claim 5 or 6. Invention according to claim 9 makes it the summary to have equipped any 1 term of claims 5-8 with the process which forms a semi-conductor layer on an insulating substrate in the manufacture approach of the semiconductor device a publication.

[0024] Invention according to claim 10 makes it the summary to use the semiconductor device manufactured by the manufacture approach of a semiconductor device according to claim 9 as a pixel driver element.

[0025]

[Function] According to invention according to claim 1, by irradiating the ion shower of an impurity, even if it does not establish a special heat treatment process, a semi-conductor layer can be made to be able to diffuse an impurity and can be activated. And when the polycrystalline silicon film is used as a semi-conductor layer, in order that the polycrystalline silicon film with which the impurity was doped may not make it amorphous, heat treatment for making the field made amorphous polycrystal-ize also becomes unnecessary. Consequently, it can become possible to simplify a production process and a throughput can be raised. Moreover, though it heat-treats in order to make diffusion of an impurity into a more positive thing, since it becomes enough [low-temperature processing], a throughput does not fall.

[0026] If hydrogen gas is used as gas containing the element with which the grain boundary of a semi-conductor layer is compensated while using [according to invention according to claim 2] the polycrystalline silicon film as a semi-conductor in addition to an operation of invention according to claim 1, doping and the hydrogen treating of the impurity to the polycrystalline silicon film can be performed simultaneously. Therefore, it becomes unnecessary to establish the special process for a hydrogen treating, and a throughput can be raised.

[0027] Invention according to claim 3 has the same operation as invention according to claim 2. Moreover, in invention according to claim 3, if each gas is chosen so that the direction of the probability of ionization of inert gas may become larger than the probability of ionization of the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, rather than the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, it will be decomposed easily and inert gas will be ionized. Consequently, the probability of ionization of the gas containing an impurity improves substantially, and its injection efficiency of the impurity ion to a semi-conductor layer also improves. Therefore, a semi-conductor layer can fully be formed into low resistance.

[0028] Invention according to claim 4 has the same operation as invention according to claim 2.

Moreover, in case radio-frequency energy will be impressed and the plasma will be generated if each gas is chosen so that the direction of the probability of ionization of inert gas may become larger than the probability of ionization of the gas containing the element with which the grain boundary of a semi-conductor layer is compensated in invention according to claim 4, rather than the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, it is decomposed easily and inert gas is ionized. Consequently, ionization is promoted also when the molecule of gas and the ion of inert gas containing the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and an impurity collide in addition to the gas containing the gas containing the element with which the grain boundary of a semi-conductor layer is compensated, and an impurity being ionized by radio-frequency energy. Therefore, the probability of ionization of the gas containing an impurity improves substantially, and its injection efficiency of the impurity ion to a semi-conductor layer also improves. Therefore, even if it does not enlarge RF energy recklessly, a semi-conductor layer can fully be formed into low resistance. Moreover, since it is not necessary to enlarge radio-frequency energy, it becomes possible to reduce power consumption and a production cost can be held down low.

[0029] According to invention according to claim 5, the source field and drain field which were formed in the semi-conductor layer can fully be formed into low resistance according to the same operation as invention according to claim 3, and the transistor which was excellent in the component property can be obtained.

[0030] According to invention according to claim 6, the source field and drain field which were formed in the semi-conductor layer can fully be formed into low resistance according to the same operation as invention according to claim 4, and the transistor which was excellent in the component property can be obtained.

[0031] According to invention according to claim 7, by forming the gate electrode which consists of the same ingredient as a semi-conductor layer, the semi-conductor layer and gate electrode used as an active layer, and a work function can be in agreement, and the threshold voltage of a transistor can be reduced.

[0032] according to invention according to claim 8 -- as a gate electrode -- low -- a gate electrode can be formed into low resistance by using a metal [****]. According to invention according to claim 9, the thin film transistor which was excellent in the component property can be manufactured by the high throughput.

[0033] According to invention according to claim 10, the display which excelled [use / the thin film transistor which was excellent in the component property / as a pixel driver element] in image quality can be manufactured by the high throughput.

[0034]

[Example] Hereafter, the manufacture approach of one example which materialized this invention to the polycrystalline silicon TFT of a planar mold is explained according to drawing 1 and drawing 2 R> 2. In addition, in this example, a sign is made equal about the same configuration member as the conventional example shown in drawing 3 .

[0035] Process 1 (refer to drawing 1 (a)); the polycrystalline silicon film 2 (thickness;500 **) of the non dope used as an active layer is formed on an insulating substrate (quartz glass, high heat-resisting glass) 1. There are the following in the formation approach of the polycrystalline silicon film 2.

[0036] ** the approach; ordinary pressure CVD method which forms the polycrystalline silicon film 2 directly, a reduced pressure CVD method, a plasma-CVD method, an optical-pumping CVD method, vacuum deposition, EB (Electron Beam) vacuum deposition, and MBE (Molecular Beam Epitaxy) -- use law, a spatter, etc.

[0037] In this, the reduced pressure CVD method using the pyrolysis of a mono silane (SiH₄) or a disilane (Si two H₆) is common, and can form the quality polycrystalline silicon film 2. In a reduced pressure CVD method, processing temperature serves as polycrystal below at 550 ** above an

amorphous substance and 620 **.

[0038] Moreover, the plasma-CVD method for using the pyrolysis of the mono silane in the inside of the plasma or a disilane is also used. If the processing temperature of a plasma-CVD method adds hydrogen with 300 ** extent, a reaction will be promoted and the amorphous silicon film will be formed. And if inert gas (helium, neon, an argon, a krypton, a xenon, radon) is added, the plasma will be excited and the polycrystalline silicon film will be formed also at the same processing temperature.

[0039] ** How to make polycrystal-ize and form the polycrystalline silicon film 2, after forming the amorphous silicon film; use a solid phase grown method and the melting recrystallizing method. A solid phase grown method is an approach of making it polycrystal-izing with a solid-state, and obtaining the polycrystalline silicon film, by heat-treating the long duration around 20 hours before and behind 600 ** on the amorphous silicon film.

[0040] the approach of maintaining substrate temperature below at 600 **, while the melting recrystallizing method carries out melting only of the front face of the amorphous silicon film and recrystallization is attained -- it is -- the laser annealing method and RTA (Rapid Thermal Annealing) -- there is law. The laser annealing method is an approach to which irradiate the front face of the amorphous silicon film and it is made to carry out heating melting of the laser. The RTA method is an approach to which irradiate the front face of the amorphous silicon film and it is made to carry out heating melting of the lamp light.

[0041] Process 2 (refer to drawing 1 (b)); it is gate dielectric film 3 (thickness; 1000A) on the polycrystalline silicon film 2. It forms. There are the following in the formation approach of gate dielectric film 3.

[0042] [1] How to form silicon oxide using an oxidation style; use voloxidation (oxidation style in the inside of the dry oxidation method using desiccation oxygen, the wet oxidation style using damp oxygen, and a steam ambient atmosphere), a low-temperature-oxidation method (the oxidation style in the inside of a high voltage steam ambient atmosphere, oxidation style in the inside of the oxygen plasma), an anode oxidation method, etc.

[0043] In this, the low-temperature-oxidation method of 600 ** extent is common. In addition, to use voloxidation, it is necessary to use quartz glass for an insulating substrate 1.

[2] How to form silicon oxide, a silicon nitride, and silicon ***** (SiOx Ny) using the covering method; use a CVD method and PVD. Moreover, there is also the approach of making it into multilayer structure combining each film.

[0044] There are an ordinary pressure CVD method, a reduced pressure CVD method, a plasma-CVD method, and an optical-pumping CVD method as CVD method. The pyrolysis of a mono silane or a disilane, the pyrolysis of organic oxy-silanes (TEOS etc.), hydrolysis of silicon halide, etc. are used for formation of silicon oxide. Pyrolyses, such as ammonia and a dichloro silane (SiH₂Cl₂), ammonia and a mono silane, nitrogen, and a mono silane, etc. are used for formation of a silicon nitride. Silicon ***** has the property of an oxide film and both the film of a nitride, and it can form in the system of formation of a silicon nitride by carrying out little installation of the nitrogen oxide (N₂ O).

[0045] PVD -- vacuum deposition, EB vacuum deposition, and MBE -- law, a spatter, etc. occur. Then, the gate electrode 4 is formed on gate dielectric film 3, and patterning is carried out to a desired configuration. As construction material of the gate electrode 4, the polycrystalline silicon (doped polysilicon) which doped the impurity, metal silicide, a polycide, a refractory metal simple substance, other metals (aluminum, gold, silver, copper, etc.), etc. are used.

[0046] There are the following in the formation approach of the polycrystalline silicon which doped the impurity.

(1) Form the polycrystalline silicon film of a non dope like the formation approach of the above-mentioned polycrystalline silicon film 2 first. Next, an impurity is doped on the polycrystalline silicon film of the non dope, and low resistance will be formed by the time it can use it as a gate electrode 4. In the dope approach of the impurity to the polycrystalline silicon film, it is (a). The approach and (b) which

diffuse the impurity in the film used as the source of impurity diffusion into the polycrystalline silicon film by heat-treating after forming the film (PSG (Phospho-Silicate Glass) film, BSG (Boro-Silicate Glass) film, etc.) used as the source of impurity diffusion on the polycrystalline silicon film. There is an approach using an ion implantation or an ion shower. In addition, an impurity may be doped to the polycrystalline silicon film which serves as the gate electrode 4 at formation and coincidence of the source drain field which carries out a postscript. In that case, this process 2 does not need to perform the dope of the impurity to the gate electrode 4 only by carrying out patterning and forming the gate electrode 4, after forming the polycrystalline silicon film of a non dope.

[0047] (2) In case the polycrystalline silicon film is formed with a CVD method, make the gas which contained the impurity in material gas mix, and perform formation of the polycrystalline silicon film, and the dope of an impurity simultaneously.

[0048] Moreover, when forming the gate electrode 4 with metal silicide, a polycide, a refractory metal simple substance, and other metals, a CVD method or PVD is used.

Process 3 (refer to drawing 1 (c)); the source drain field 5 is formed in the polycrystalline silicon film 2 by using the gate electrode 4 as a mask with a self-align technique. The ion shower by the phosphine gas diluted with hydrogen gas and helium is used for formation of the source drain field 5. That is, a hydrogen ion beam and a helium ion beam are irradiated at doping phosphorus ion on the polycrystalline silicon film 2, and coincidence. Using a non-mass analysis mold ion shower bath, radio-frequency energy is impressed to the mixed gas of hydrogen, helium, and a phosphine, and, specifically, the plasma is generated. Then, while a hydrogen ion and helium ion are generated, a phosphine is decomposed and phosphorus ion is generated. Consequently, even if it does not establish a special heat treatment process, it becomes possible to make the polycrystalline silicon film 2 diffuse an impurity, and to activate it, and it can form the source drain field 5. Moreover, though it heat-treats in order to make diffusion of an impurity more reliable, the temperature is below 300 °C extent, and becomes enough. Furthermore, if an ion shower is used, in order not to make it amorphous like [in case the source drain field 5 is an ion implantation], heat treatment for making the field made amorphous polycrystal-size also becomes unnecessary. Therefore, usual glass (high heat-resisting glass) can be used for an insulating substrate 1.

[0049] Here, in case radio-frequency energy is impressed to the mixed gas of hydrogen, helium, and a phosphine and the plasma is generated, since the probability of ionization of gaseous helium is larger than that of hydrogen gas, rather than hydrogen gas, it is decomposed easily and gaseous helium is ionized. Consequently, in addition to hydrogen gas and phosphine gas being ionized by radio-frequency energy, ionization is promoted also when the molecule and helium ion of hydrogen gas and phosphine gas collide.

[0050] Therefore, compared with the probability of ionization of the phosphine gas in the conventional example (mixed gas of hydrogen and a phosphine), the probability of ionization of the phosphine gas in this example (mixed gas of hydrogen, helium, and a phosphine) will improve substantially. Consequently, the injection efficiency of the phosphorus ion to the polycrystalline silicon film 2 also improves.

[0051] this invention person experimented with the following monograph affairs about the polycrystalline silicon film 2 which carried out solid phase growth of the amorphous silicon over 20 hours by 600 °C.
Experiment 1; when only phosphine gas (5% dilution hydrogen gas base) is used (phosphine quantity of gas flow; 20sccm, high-frequency power (RF power); 80W, acceleration voltage; 55kV, Lynn dose; 1×10^{16} dose/cm², pressure; 359.1×10^{-4} Pa)

Although the sheet resistance of the polycrystalline silicon film 2 (source drain field 5) after doping was measured with the four probe method on the above-mentioned conditions, resistance was too high and measurement was impossible. This is considered to be because for the polycrystalline silicon film 2 to have made it amorphous by doping. That is, if hydrogen gas is not added in phosphine gas, it turns out that the polycrystalline silicon film 2 (source drain field 5) cannot be formed into low resistance.

[0052] Experiment 2; when phosphine gas (5% dilution hydrogen base) and the mixed gas of hydrogen gas

are used (equivalent to the conventional example)

(Phosphine quantity of gas flow; 8sccm, hydrogen quantity-of-gas-flow; 42sccm, RF power; 80W, acceleration voltage; 55kV, Lynn dose; 1×10^{16} dose/cm², pressure; 532.0×10^{-4} Pa)

It is 680 as a result of measuring the sheet resistance of the polycrystalline silicon film 2 after doping with a four probe method on the above-mentioned conditions. They were Ω/\square .

[0053] Experiment 3; when the mixed gas of phosphine gas (5% dilution hydrogen gas base), hydrogen gas, and gaseous helium is used (equivalent to this example)

(phosphine quantity-of-gas-flow; -- 8sccm, hydrogen quantity-of-gas-flow; 22sccm, gaseous helium flow rate; 20sccm, (RF RF) power; 80W, and acceleration voltage; -- 55kV, Lynn dose; 1×10^{16} dose/cm², and pressure; 532.0×10^{-4} Pa)

It is 247 as a result of measuring the sheet resistance of the polycrystalline silicon film 2 after doping with a four probe method on the above-mentioned conditions. They were Ω/\square .

[0054] thus, the experiment 3 (this example) -- setting -- the sheet resistance of the polycrystalline silicon film 2 -- the same RF energy (RF power) -- about [of experiment 2 (conventional example)] -- one third It can carry out. Incidentally, in the experiment 2, in order to obtain the same sheet resistance as experiment 3, RF power needed to be increased to 80W → 200W. That is, when it sees about RF power, the injection efficiency of the phosphorus ion in experiment 3 is 2.5 of that in experiment 2. It doubles. This injection efficiency is optimizing the mixing ratio of hydrogen gas and gaseous helium, and it is possible to make it improve further. that is, the mixing ratio of hydrogen gas and gaseous helium -- $H_2/(H_2+helium) = 0.01-0.8$ suitable -- desirable -- 0.2-0.7 -- especially -- desirable -- 0.2-0.5 it is . When there is an inclination for the sheet resistance of the polycrystalline silicon film 2 to become high when it becomes narrower than this range, and it becomes large, there is an inclination for the surface dry area of the polycrystalline silicon film 2 to become large.

[0055] Moreover, the hydrogen treating of the polycrystalline silicon film 2 is also simultaneously performed on the polycrystalline silicon film 2 by irradiating a hydrogen ion beam.

Process 4 (refer to drawing 2); an interlayer insulation film 6 is formed all over a device. As an interlayer insulation film 6, the silicon oxide formed of a CVD method or PVD, various silicate glass, a silicon nitride, etc. are used.

[0056] Then, contact hole 6a in contact with the source drain field 5 is formed in an interlayer insulation film 6, the source drain electrode 7 is formed, and the polycrystalline silicon TFT of an n channel is completed.

[0057] Thus, according to this example, the impurity of a complement can be efficiently doped on the polycrystalline silicon film 2 by raising the injection efficiency of the phosphorus ion to the polycrystalline silicon film 2. Therefore, even if it does not enlarge RF energy recklessly, the polycrystalline silicon film 2 (source drain field 5) can fully be formed into low resistance. Therefore, the low-temperature polycrystalline silicon TFT which was excellent in the component property can be formed. Moreover, since it is not necessary to enlarge radio-frequency energy, it becomes possible to reduce power consumption and a production cost can be held down low.

[0058] It becomes unnecessary furthermore, to prepare a heat treatment process in formation of the source drain field 5 by using an ion shower. Since a hydrogen treating is also simultaneously performed at the time of formation of the source drain field 5, it becomes unnecessary and to establish the special process for a hydrogen treating. Consequently, according to this example, it can become possible to simplify a production process and a throughput can be raised. In addition, since it becomes enough [processing of the low temperature of 300°C extent] even when preparing a heat treatment process in formation of the source drain field 5, the time amount which temperature up and a temperature fall take will become short, and will not reduce a throughput.

[0059] And the image quality of LCD can be raised by using the polycrystalline silicon TFT which was excellent in such a component property as a pixel driver element of active-matrix LCD. Furthermore, the throughput of LCD can also be raised by raising the throughput of polycrystalline silicon TFT.

[0060] By the way, since the gate electrode 4 and an active layer (polycrystalline silicon film 2) serve as the same construction material and a work function is in agreement when polycrystalline silicon is used for the construction material of the gate electrode 4, the threshold voltage (V_{th}) of polycrystalline silicon TFT can be reduced. On the other hand, when a metal is used for the construction material of the gate electrode 4, the gate electrode 4 can be formed into low resistance.

[0061] In addition, the above-mentioned example may be changed as follows and can acquire the same operation and effectiveness even in such a case.

(1) Place and replace phosphine gas with other gas containing n mold impurity. as such gas -- PF_3 , PF_5 , PCl_3 , PCl_5 , AsH_3 , AsF_3 , AsF_5 , $AsCl_3$, and $AsCl_5$ etc. -- it is.

[0062] (2) Place and replace phosphine gas with the gas containing p mold impurity, and form the polycrystalline silicon TFT of a p channel. as such gas -- diboron hexahydride gas, BF_3 , BCl_3 , and BBr_3 etc. -- it is.

[0063] (3) Place and replace gaseous helium with other inert gas (neon, an argon, a krypton, a xenon, radon). Since the probability of ionization of each inert gas is larger than that of hydrogen gas, also in which inert gas, the same operation and the effectiveness as the above-mentioned example can be acquired. However, the damage which the polycrystalline silicon film 2 receives by the plasma becomes large, so that the molecular weight of inert gas becomes large. Therefore, inert gas with smaller molecular weight is more desirable, and becomes the most suitable [gaseous helium].

[0064] (4) Place and replace hydrogen gas with the gas by the proper element with which the grain boundary of the polycrystalline silicon film 2 is compensated. As such an element, they are a fluorine and chlorine besides hydrogen, There is a bromine etc. Since the probability of ionization of these element gas is larger than that of each inert gas, also in which element gas, the same operation and the effectiveness as the above-mentioned example can be acquired. However, although association will be able to be taken by about 400 ** when hydrogen gas is used as gas for compensation, they are fluorine gas and chlorine, When a bromine is used, there is the description that association is maintainable to about 450 - 500 **.

[0065] (5) Dope an impurity to channel field 2a of the polycrystalline silicon film 2, and control the threshold voltage of polycrystalline silicon TFT. In the polycrystalline silicon TFT formed with the solid phase grown method, with an n channel transistor, threshold voltage shifts in the direction of depression, and it is in the inclination which threshold voltage shifts in the direction of enhancement with a p channel transistor. The inclination becomes more remarkable when a hydrogen treating is performed especially. What is necessary is just to dope an impurity to channel field 2a, in order to suppress the shift of this threshold voltage.

[0066] (6) Apply to the polycrystalline silicon TFT or the amorphous silicon TFT of not only a planar mold but a reverse planar mold, a stagger mold, and a reverse stagger mold.

(7) Place and replace an insulating substrate 1 with insulating layers, such as a ceramic substrate and silicon oxide, and apply to not LCD but a contact type image sensor, a three-dimensional IC, etc.

[0067] (8) Place and replace the polycrystalline silicon film 2 with the amorphous silicon film, and form amorphous silicon TFT.

(9) Place and replace the polycrystalline silicon film 2 with the single-crystal-silicon film. Moreover, the polycrystalline silicon film 2 is placed and replaced with a single crystal silicon substrate, and a bulk transistor is formed.

[0068] (10) Use polycrystalline silicon TFT for the charge coupled device in not LCD but the memory cell of a dynamic RAM (DRAM), the load component in the memory cell of a static RAM (SRAM), etc.

[0069] As mentioned above, although each example was explained, technical thought other than the claim which can be grasped from each example is indicated with those effectiveness below.

(b) The manufacture approach of the semiconductor device equipped with the process which forms an interlayer insulation film all over a device, the process which forms the contact hole in contact with a source field and a drain field in the interlayer insulation film, and the process which forms a source

electrode and a drain electrode in the manufacture approach of a semiconductor device according to claim 9.

[0070] If it does in this way, a thin film transistor can be completed.

(b) The manufacture approach of the semiconductor device which equipped the part which is equivalent to any 1 term of claims 5-9 in the channel field of a semi-conductor layer in the manufacture approach of the semiconductor device a publication with the process which dopes an impurity.

[0071] If it does in this way, the threshold voltage of a transistor is controllable. By the way, in this description, the member concerning the configuration of invention shall be defined as follows.

[0072] (a) As an insulating substrate, the substrate by all insulating materials, such as quartz glass, high heat-resisting glass, high heatproof resin, and ceramics, is not only included, but conductive substrates, such as a metal substrate which prepared insulating layers, such as silicon oxide, in the front face, shall be included.

[0073] (b) As a semi-conductor layer, not only the polycrystalline silicon film but the amorphous silicon film, the single-crystal-silicon film, and a single crystal silicon substrate shall be included.

[0074]

[Effect of the Invention]

1) On the occasion of doping of the impurity to the semi-conductor layer by the low-temperature process, the manufacture approach of the semiconductor device which can raise a throughput can be offered.

[0075] 2) On the occasion of doping of the impurity to the semi-conductor layer by the low-temperature process, the manufacture approach of a semiconductor device with possible making a semi-conductor layer fully form into low resistance can be offered.

[0076] 3) The manufacture approach of the semiconductor device which can manufacture the transistor which was excellent in the component property by the high throughput can be offered.

4) The display which was excellent in image quality can be manufactured by the high throughput.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.*** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The outline sectional view for explaining the manufacture approach of one example.

[Drawing 2] The outline sectional view for explaining the manufacture approach of one example.

[Drawing 3] The outline sectional view for explaining the manufacture approach of the conventional example.

[Description of Notations]

1 Insulating Substrate

- 2 Polycrystalline Silicon Film as a Semi-conductor Layer
 - 3 Gate Dielectric Film
 - 4 Gate Electrode
 - 5 Source Field or Drain Field (Source Drain Field)
-

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-45867

(43) 公開日 平成 8 年 (1996) 2 月 16 日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/265

21/22

29/78

E

H 0 1 L 21/ 265

29/ 78

F

3 0 1 S

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平6-285192

(22) 出願日 平成 6 年 (1994) 11 月 18 日

(31) 優先権主張番号 特願平6-115690

(32) 優先日 平 6 (1994) 5 月 27 日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通 2 丁目 5 番 5 号

(72) 発明者 武内 勝

大阪府守口市京阪本通 2 丁目 5 番 5 号 三

洋電機株式会社内

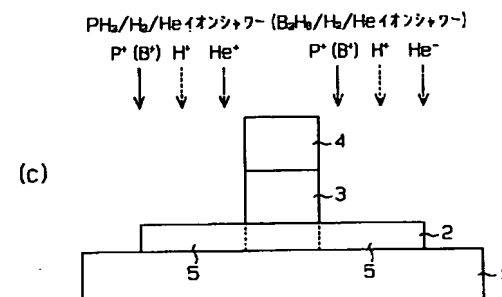
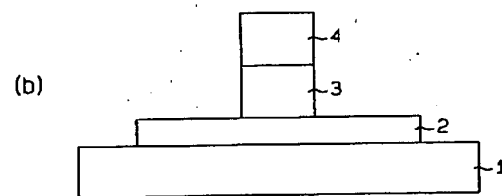
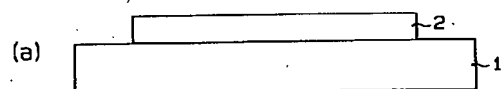
(74) 代理人 弁理士 恩田 博宣

(54) 【発明の名称】 半導体装置の製造方法および表示装置

(57) 【要約】

【目的】低温で半導体層に不純物をドーピングすることが可能な半導体装置の製造方法を提供する。

【構成】ソース・ドレイン領域 5 の形成には、水素ガスおよびヘリウムで希釈したホスフィンガスによるイオンシャワーを用いる。その際、ヘリウムガスのイオン化確率は水素ガスのそれよりも大きいため、ヘリウムガスの方が水素ガスよりも容易に分解されてイオン化される。その結果、水素ガスおよびホスフィンガスは高周波エネルギーによってイオン化されることに加え、水素ガスおよびホスフィンガスの分子とヘリウムイオンとが衝突することによってもイオン化が促進される。従って、ホスフィンガスのイオン化確率は大幅に向上し、多結晶シリコン膜 2 へのリンイオンの注入効率も向上する。



(2)

【特許請求の範囲】

【請求項1】 不純物のイオンシャワーを照射することで半導体層へ不純物をドーピングする工程を備えた半導体装置の製造方法。

【請求項2】 p型またはn型不純物を含むガスと、半導体層の粒界を補償する元素を含むガスとの混合ガスによるイオンシャワーを照射することで半導体層へ不純物をドーピングする工程を備えた半導体装置の製造方法。

【請求項3】 p型またはn型不純物を含むガスと、半導体層の粒界を補償する元素を含むガスと、不活性ガスとの混合ガスによるイオンシャワーを照射することで半導体層へ不純物をドーピングする工程を備えた半導体装置の製造方法。

【請求項4】 半導体層の粒界を補償する元素を含むガスと不活性ガスとの混合ガスで希釈したp型またはn型不純物を含むガスに高周波エネルギーを印加してプラズマを発生させ、半導体層へ不純物イオンのドーピングを行うのと同時に、半導体層の粒界を補償する元素のイオンビームと不活性ガスのイオンビームとを半導体層へ照射する工程を備えた半導体装置の製造方法。

【請求項5】 半導体層上にゲート絶縁膜を形成する工程と、

ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極を用いた自己整合技術により半導体層にソース領域およびドレイン領域を形成するため、p型またはn型不純物を含むガスと、半導体層の粒界を補償する元素を含むガスと、不活性ガスとの混合ガスによるイオンシャワーを照射することで半導体層へ不純物をドーピングする工程とを備えた半導体装置の製造方法。

【請求項6】 半導体層上にゲート絶縁膜を形成する工程と、

ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極を用いた自己整合技術により半導体層にソース領域およびドレイン領域を形成するため、半導体層の粒界を補償する元素を含むガスと不活性ガスとの混合ガスで希釈したp型またはn型不純物を含むガスに高周波エネルギーを印加してプラズマを発生させ、半導体層へ不純物イオンのドーピングを行うのと同時に、半導体層の粒界を補償する元素のイオンビームと不活性ガスのイオンビームとを半導体層へ照射する工程とを備えた半導体装置の製造方法。

【請求項7】 請求項5または請求項6に記載の半導体装置の製造方法において、半導体層と同一材料からなるゲート電極を形成する半導体装置の製造方法。

【請求項8】 請求項5または請求項6に記載の半導体装置の製造方法において、金属材料からなるゲート電極を形成する半導体装置の製造方法。

【請求項9】 請求項5～8のいずれか1項に記載の半導体装置の製造方法において、半導体層を絶縁基板上に形成する工程を備えた半導体装置の製造方法。

2

【請求項10】 請求項9に記載の半導体装置の製造方法によって製造された半導体装置を画素駆動素子として用いる表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法および表示装置に関するものである。

【0002】

【従来の技術】 近年、アクティブマトリクス方式の液晶ディスプレイ（LCD；Liquid Crystal Display）が高画質な表示装置として注目されている。そのアクティブマトリクス方式LCDの画素駆動素子（画素駆動用トランジスタ）として、透明絶縁基板上に形成された多結晶シリコン膜を能動層に用いた薄膜トランジスタ（以下、多結晶シリコンTFT（Thin Film Transistor）という）の開発が進められている。

【0003】 多結晶シリコンTFTは、非晶質シリコン膜を能動層に用いた薄膜トランジスタ（以下、非晶質シリコンTFTという）に比べ、移動度が大きく駆動能力が高いという利点がある。そのため、多結晶シリコンTFTを用いれば、高性能なLCDを実現できる上に、画素部（表示部）だけでなく周辺駆動回路（ドライバ）までも同一基板上に一体にして形成することができる。

【0004】 従来の多結晶シリコンTFTは、1000℃程度の高温の工程（高温プロセスと呼ばれる）を使って形成されていた。高温プロセスは長年に渡る十分な技術的蓄積のあるLSI技術を踏襲したものである。そのため、高温プロセスで形成された多結晶シリコンTFT（高温多結晶シリコンTFTと呼ばれる）は、素子特性、信頼性、再現性に優れている。しかし、高温プロセスはプロセス温度が高いため、基板には石英ガラスを使わざるを得ない。石英ガラスは大型化に伴って著しく高価になる上に現在のところ大型化には限りがあるため、基板の寸法が制限を受ける。そのため、コスト的に見合うLCDのパネルサイズは2型以下となり、ビデオカメラのビューファインダ用や液晶プロジェクタ用としては十分に使用できるものの、直視用としてはパネルサイズが小さすぎて使用できない。

【0005】 一方、非晶質シリコンTFTは、400℃以下の低温の工程を使って形成可能なため、基板に通常のガラスを使うことができる。通常のガラスは石英ガラスの約1/10の価格で寸法にも制限がないが、LCD用に市販されている高耐熱ガラス（例えば、米国Corning Inc.製の「7059」）でも600℃程度の耐熱温度しかない。

【0006】 そこで、基板に通常のガラス（高耐熱ガラス）を使用できるように、多結晶シリコンTFTを600℃程度以下の低温の工程（低温プロセスと呼ばれる）を使って形成することが求められている。低温プロセスで形成された多結晶シリコンTFTは低温多結晶シリコンTFTと呼ばれる。低温多結晶シリコンTFTで問題と

(3)

なるのは、能動層となる多結晶シリコン膜の形成方法、ゲート絶縁膜の形成方法、ソース・ドレイン領域の形成方法などである。

【0007】単結晶シリコン基板上に形成される通常のMOSトランジスタ（バルクトランジスタ）の場合、ソース・ドレイン領域を形成するには、まず、基板に不純物のイオン注入を行い、次に、900℃程度以上の高温の熱処理を行うことで注入したイオンを活性化させる。

【0008】これと同様にして多結晶シリコン膜にソース・ドレイン領域を形成するには、やはり、不純物のイオン注入を行った後で、900℃程度以上の高温の熱処理を行わなければならない。また、多結晶シリコン膜に不純物のイオン注入を行うとイオンが注入された領域が非晶質化するため、その非晶質化した領域を多結晶化させるためにも900℃程度以上で熱処理を行うことが不可欠である。従って、バルクトランジスタと同様の方法で多結晶シリコンTFTを作成すると、基板に通常のガラスは使用できないことになる。

【0009】そこで、水素ガスで希釈したホスフィン（ PH_3 ）ガスまたはジボラン（ B_2H_6 ）ガスによるイオンシャワーを用いて多結晶シリコン膜にソース・ドレイン領域を形成する方法が提案されている。すなわち、図3に示すように、絶縁基板1上に形成された多結晶シリコン膜2に、リンイオンまたはボロンイオンのドーピングを行うのと同時に、水素イオン（プロトン）ビームを照射する。具体的には、非質量分析型イオンシャワー（イオン打ち込み）装置を用い、水素とホスフィンまたはジボランとの混合ガスに高周波エネルギーを印加してプラズマを発生させる。すると、水素イオンが発生すると共に、ホスフィンまたはジボランが分解されてリンイオンまたはボロンイオンが発生する。その結果、特別な熱処理工程を設けなくても、多結晶シリコン膜2に不純物を拡散させて活性化させることが可能になり、ソース・ドレイン領域を形成することができる。また、不純物の拡散をより確実にするために熱処理を行うとしても、その温度は300℃程度以下で十分となる。さらに、イオンシャワーを用いれば、多結晶シリコン膜2の不純物がドーピングされた領域がイオン注入の場合のように非晶質化することがないため、非晶質化した領域を多結晶化させるための熱処理も不要になる。従って、絶縁基板1に通常のガラス（高耐熱ガラス）を使用することができる。

【0010】また、多結晶シリコン膜2に水素イオンビームを照射することで、多結晶シリコン膜2の水素化処理も同時に行われる。すなわち、多結晶シリコンは結晶面や結晶粒界におけるシリコン原子の結合が十分ではなく、結晶欠陥（ダングリングボンド）が多いという欠点がある。結晶欠陥があると固定電荷や界面準位が形成されやすいため、多結晶シリコンTFTの電気的特性を向上させることが難しくなる。そこで、多結晶シリコンの

4

欠陥部分に水素原子を結合させることにより、欠陥を減らして結晶構造を安定化させる処理が行われる。これが水素化処理である。従来、水素化処理の方法としては、多結晶シリコン膜を水素プラズマ中にさらす方法、水素を含む非晶質シリコン膜やシリコン窒化膜などを多結晶シリコン膜上に形成し、その後の熱処理で当該膜中の水素を多結晶シリコン膜に拡散させる方法、などが用いられている。しかし、多結晶シリコン膜2に水素イオンビームを照射すれば水素化処理も同時に行われるため、水素化処理のための特別な工程を設ける必要がなくなり、製造工程が簡略化されてスループットも向上する。

【0011】

【発明が解決しようとする課題】しかし、水素とホスフィンまたはジボランとの混合ガスに高周波エネルギーを印加してプラズマを発生させる際、水素ガスのイオン化確率が小さいため、印加した高周波エネルギーの大部分が水素ガスのイオン化に消費される。そのため、ホスフィンガスまたはジボランガスの分解効率が低下してイオン化確率も低下し、多結晶シリコン膜2へのリンイオンまたはボロンイオンの注入効率が悪化する。その結果、多結晶シリコン膜2に必要な量の不純物をドーピングできなくなり、多結晶シリコン膜2に形成されたソース・ドレイン領域を十分に低抵抗化するのが難しくなる。ソース・ドレイン領域の抵抗値が高くなると、多結晶シリコンTFTの素子特性は劣化する。

【0012】ところで、水素ガスのイオン化エネルギーを見越して、その分だけ高周波エネルギーを大きくしておけば、多結晶シリコン膜に十分な不純物をドーピングすることができるため、ソース・ドレイン領域を十分に低抵抗化することが可能になる。しかし、現在の非質量分析型イオンシャワー装置が発生可能な高周波エネルギー（最大加速電圧）には規格上の限界があるため、むやみに高周波エネルギーを大きくすることはできない。また、高周波エネルギーを大きくすると消費電力も増大するため、生産コストが高くなってしまう。

【0013】本発明は上記問題点を解決するためになされたものであって、以下の目的を有するものである。

1) 低温プロセスによる半導体層への不純物のドーピングに際して、スループットを向上させることが可能な半導体装置の製造方法を提供する。

【0014】2) 低温プロセスによる半導体層への不純物のドーピングに際して、半導体層を十分に低抵抗化させることが可能な半導体装置の製造方法を提供する。

3) 素子特性の優れたトランジスタを高いスループットで製造することが可能な半導体装置の製造方法を提供する。

【0015】4) 画質の優れた表示装置の製造方法を提供することに係り、特に、高スループットな製造方法を提供する。

【0016】

(4)

5

【課題を解決するための手段】請求項 1 に記載の発明は、不純物のイオンシャワーを照射することで半導体層へ不純物をドーピングする工程を備えたことをその要旨とする。

【0017】請求項 2 に記載の発明は、p 型または n 型不純物を含むガスと、半導体層の粒界を補償する元素を含むガスとの混合ガスによるイオンシャワーを照射することで半導体層へ不純物をドーピングする工程を備えたことをその要旨とする。

【0018】請求項 3 に記載の発明は、p 型または n 型不純物を含むガスと、半導体層の粒界を補償する元素を含むガスと、不活性ガスとの混合ガスによるイオンシャワーを照射することで半導体層へ不純物をドーピングする工程を備えたことをその要旨とする。

【0019】請求項 4 に記載の発明は、半導体層の粒界を補償する元素を含むガスと不活性ガスとの混合ガスで希釈した p 型または n 型不純物を含むガスに高周波エネルギーを印加してプラズマを発生させ、半導体層へ不純物イオンのドーピングを行うのと同時に、半導体層の粒界を補償する元素のイオンビームと不活性ガスのイオンビームとを半導体層へ照射する工程を備えたことをその要旨とする。

【0020】請求項 5 に記載の発明は、半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極を用いた自己整合技術により半導体層にソース領域およびドレイン領域を形成するため、p 型または n 型不純物を含むガスと、半導体層の粒界を補償する元素を含むガスと、不活性ガスとの混合ガスによるイオンシャワーを照射することで半導体層へ不純物をドーピングする工程とを備えたことをその要旨とする。

【0021】請求項 6 に記載の発明は、半導体層上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極を用いた自己整合技術により半導体層にソース領域およびドレイン領域を形成するため、半導体層の粒界を補償する元素を含むガスと不活性ガスとの混合ガスで希釈した p 型または n 型不純物を含むガスに高周波エネルギーを印加してプラズマを発生させ、半導体層へ不純物イオンのドーピングを行うのと同時に、半導体層の粒界を補償する元素のイオンビームと不活性ガスのイオンビームとを半導体層へ照射する工程とを備えたことをその要旨とする。

【0022】請求項 7 に記載の発明は、請求項 5 または請求項 6 に記載の半導体装置の製造方法において、半導体層と同一材料からなるゲート電極を形成することをその要旨とする。

【0023】請求項 8 に記載の発明は、請求項 5 または請求項 6 に記載の半導体装置の製造方法において、金属材料からなるゲート電極を形成することをその要旨とする。請求項 9 に記載の発明は、請求項 5 ～ 8 のいずれか

6

1 項に記載の半導体装置の製造方法において、半導体層を絶縁基板上に形成する工程を備えたことをその要旨とする。

【0024】請求項 10 に記載の発明は、請求項 9 に記載の半導体装置の製造方法によって製造された半導体装置を画素駆動素子として用いることをその要旨とする。

【0025】

【作用】請求項 1 に記載の発明によれば、不純物のイオンシャワーを照射することで、特別な熱処理工程を設けなくても、半導体層に不純物を拡散させて活性化させることができる。そして、半導体層として多結晶シリコン膜を用いた場合、不純物がドーピングされた多結晶シリコン膜が非晶質化することはないため、非晶質化した領域を多結晶化させるための熱処理も不要になる。その結果、製造工程を簡略化することが可能になり、スループットを向上させることができる。また、不純物の拡散をより確実なものとするために熱処理を行うとしても、低温の処理で十分となるため、スループットが低下することはない。

【0026】請求項 2 に記載の発明によれば、請求項 1 に記載の発明の作用に加え、半導体として多結晶シリコン膜を用いると共に、半導体層の粒界を補償する元素を含むガスとして水素ガスを用いれば、多結晶シリコン膜への不純物のドーピングと水素化処理とを同時に行うことができる。そのため、水素化処理のための特別の工程を設ける必要がなくなり、スループットを向上させることができる。

【0027】請求項 3 に記載の発明は、請求項 2 に記載の発明と同様の作用を有する。また、請求項 3 に記載の発明において、不活性ガスのイオン化確率の方が半導体層の粒界を補償する元素を含むガスのイオン化確率よりも大きくなるように、各ガスを選択すれば、不活性ガスの方が半導体層の粒界を補償する元素を含むガスよりも容易に分解されてイオン化される。その結果、不純物を含むガスのイオン化確率は大幅に向上し、半導体層への不純物イオンの注入効率も向上する。従って、半導体層を十分に低抵抗化することができる。

【0028】請求項 4 に記載の発明は、請求項 2 に記載の発明と同様の作用を有する。また、請求項 4 に記載の発明において、不活性ガスのイオン化確率の方が半導体層の粒界を補償する元素を含むガスのイオン化確率よりも大きくなるように、各ガスを選択すれば、高周波エネルギーを印加してプラズマを発生させる際に、不活性ガスの方が半導体層の粒界を補償する元素を含むガスよりも容易に分解されてイオン化される。その結果、半導体層の粒界を補償する元素を含むガスおよび不純物を含むガスは高周波エネルギーによってイオン化されることに加え、半導体層の粒界を補償する元素を含むガスおよび不純物を含むガスの分子と不活性ガスのイオンとが衝突することによってもイオン化が促進される。従って、不

(5)

7

純物を含むガスのイオン化確率は大幅に向上し、半導体層への不純物イオンの注入効率も向上する。そのため、むやみに高周波エネルギーを大きくしなくても、半導体層を十分に低抵抗化することができる。また、高周波エネルギーを大きくしなくてもよいため、消費電力を低減することが可能になり、生産コストを低く抑えることができる。

【0029】請求項5に記載の発明によれば、請求項3に記載の発明と同様の作用により、半導体層に形成されたソース領域およびドレイン領域を十分に低抵抗化することができ、素子特性の優れたトランジスタを得ることができる。

【0030】請求項6に記載の発明によれば、請求項4に記載の発明と同様の作用により、半導体層に形成されたソース領域およびドレイン領域を十分に低抵抗化することができ、素子特性の優れたトランジスタを得ることができる。

【0031】請求項7に記載の発明によれば、半導体層と同一材料からなるゲート電極を形成することにより、能動層となる半導体層とゲート電極と仕事関数が一致し、トランジスタの閾値電圧を低下させることができる。

【0032】請求項8に記載の発明によれば、ゲート電極として低抵抗な金属を用いることにより、ゲート電極を低抵抗化することができる。請求項9に記載の発明によれば、素子特性の優れた薄膜トランジスタを高いスループットで製造することができる。

【0033】請求項10に記載の発明によれば、素子特性の優れた薄膜トランジスタを画素駆動素子として用いることで、画質の優れた表示装置を高いスループットで製造することができる。

【0034】

【実施例】以下、本発明をプレーナ型の多結晶シリコンTFTに具体化した一実施例の製造方法を図1および図2に従って説明する。尚、本実施例において、図3に示した従来例と同じ構成部材については符号を等しくする。

【0035】工程1（図1（a）参照）；絶縁基板（石英ガラス、高耐熱ガラス）1上に能動層となるノンドープの多結晶シリコン膜2（膜厚；500 Å）を形成する。多結晶シリコン膜2の形成方法には以下のものがある。

【0036】①多結晶シリコン膜2を直接形成する方法；常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法、蒸着法、EB（Electron Beam）蒸着法、MBE（Molecular Beam Epitaxy）法、スパッタ法などを用いる。

【0037】この中では、モノシラン（ SiH_4 ）またはジシラン（ Si_2H_6 ）の熱分解を利用する減圧CVD法が一般的であり、最も高品質な多結晶シリコン膜2を形成することができる。減圧CVD法では、処理温度

8

が550℃以下では非晶質、620℃以上では多結晶となる。

【0038】また、プラズマ中でのモノシランまたはジシランの熱分解を利用するプラズマCVD法も用いられる。プラズマCVD法の処理温度は300℃程度で、水素を添加すると反応が促進されて非晶質シリコン膜が形成される。そして、不活性ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン、ラドン）を添加するとプラズマが励起され、同一の処理温度でも多結晶シリコン膜が形成される。

【0039】②非晶質シリコン膜を形成した後に多結晶化させて多結晶シリコン膜2を形成する方法；固相成長法や熔融再結晶化法を用いる。固相成長法は、非晶質シリコン膜に600℃前後で20時間前後の長時間の熱処理を行うことにより、固体のままで多結晶化させて多結晶シリコン膜を得る方法である。

【0040】熔融再結晶化法は、非晶質シリコン膜の表面だけを熔融させて再結晶化を図りながら基板温度を600℃以下に保つ方法であり、レーザアニール法やRTA（Rapid Thermal Annealing）法がある。レーザアニール法は、非晶質シリコン膜の表面にレーザを照射して加熱熔融させる方法である。RTA法は、非晶質シリコン膜の表面にランプ光を照射して加熱熔融させる方法である。

【0041】工程2（図1（b）参照）；多結晶シリコン膜2上にゲート絶縁膜3（膜厚；1000 Å）を形成する。ゲート絶縁膜3の形成方法には以下のものがある。

【0042】[1] 酸化法を用いてシリコン酸化膜を形成する方法；高温酸化法（乾燥酸素を用いるドライ酸化法、湿った酸素を用いるウェット酸化法、水蒸気雰囲気中での酸化法）、低温酸化法（高圧水蒸気雰囲気中での酸化法、酸素プラズマ中での酸化法）、陽極酸化法などを用いる。

【0043】この中では、600℃程度の低温酸化法が一般的である。尚、高温酸化法を用いる場合には、絶縁基板1に石英ガラスを使用する必要がある。

[2] 被着法を用いてシリコン酸化膜、シリコン窒化膜、シリコン窒酸化膜（ SiO_xN_y ）を形成する方法；CVD法やPVD法を用いる。また、各膜を組み合わせる多層構造にする方法もある。

【0044】CVD法には常圧CVD法、減圧CVD法、プラズマCVD法、光励起CVD法がある。シリコン酸化膜の形成には、モノシランまたはジシランの熱分解、有機オキシシラン（TEOSなど）の熱分解、ハロゲン化珪素の加水分解などを用いる。シリコン窒化膜の形成には、アンモニアおよびジクロロシラン（ SiH_2Cl_2 ）、アンモニアおよびモノシラン、窒素およびモノシランなどの熱分解などを用いる。シリコン窒酸化膜は酸化膜と窒化膜の両膜の特性をもつもので、シリコン窒化膜の形成の系に酸化窒素（ N_2O ）を少量導入する

9

ことで形成できる。

【0045】PVD法には蒸着法、EB蒸着法、MBE法、スパッタ法などがある。続いて、ゲート絶縁膜3上にゲート電極4を形成して所望の形状にパターンニングする。ゲート電極4の材質としては、不純物をドーブした多結晶シリコン（ドーブドポリシリコン）、金属シリサイド、ポリサイド、高融点金属単体、その他の金属（アルミ、金、銀、銅など）などが用いられる。

【0046】不純物をドーブした多結晶シリコンの形成方法には以下のものがある。

(1) まず、上記した多結晶シリコン膜2の形成方法と同様にして、ノンドープの多結晶シリコン膜を形成する。次に、そのノンドープの多結晶シリコン膜に不純物をドーブして、ゲート電極4として使用することができるまでに低抵抗化する。多結晶シリコン膜への不純物のドーブ方法には、(a) 多結晶シリコン膜上に不純物拡散源となる膜（PSG（Phospho-Silicate Glass）膜、BSG（Boro-Silicate Glass）膜など）を形成後に熱処理を行うことで、不純物拡散源となる膜中の不純物を多結晶シリコン膜中へ拡散させる方法、(b) イオン注入またはイオンシャワーを用いる方法がある。尚、後記するソース・ドレイン領域の形成と同時に、ゲート電極4となる多結晶シリコン膜へ不純物をドーブしてもよい。その場合、この工程2では、ノンドープの多結晶シリコン膜を形成後にパターンニングしてゲート電極4を形成するだけで、ゲート電極4への不純物のドーブについては行わなくてよい。

【0047】(2) CVD法によって多結晶シリコン膜を形成する際に、原料ガスに不純物を含んだガスを混入させ、多結晶シリコン膜の形成と不純物のドーブとを同時に行う。

【0048】また、金属シリサイド、ポリサイド、高融点金属単体、その他の金属によってゲート電極4を形成する場合には、CVD法またはPVD法が用いられる。工程3（図1（c）参照）；自己整合技術により、ゲート電極4をマスクとして多結晶シリコン膜2にソース・ドレイン領域5を形成する。ソース・ドレイン領域5の形成には、水素ガスおよびヘリウムで希釈したホスフィンガスによるイオンシャワーを用いる。すなわち、多結晶シリコン膜2に、リンイオンのドーピングを行うのと同時に、水素イオンビームおよびヘリウムイオンビームを照射する。具体的には、非質量分析型イオンシャワー装置を用い、水素とヘリウムとホスフィンとの混合ガスに高周波エネルギーを印加してプラズマを発生させる。すると、水素イオンおよびヘリウムイオンが発生すると共に、ホスフィンが分解されてリンイオンが発生する。その結果、特別な熱処理工程を設けなくても、多結晶シリコン膜2に不純物を拡散させて活性化させることが可能になり、ソース・ドレイン領域5を形成することができる。また、不純物の拡散をより確実にするために熱処

(6)

10

理を行うとしても、その温度は300℃程度以下で十分となる。さらに、イオンシャワーを用いれば、ソース・ドレイン領域5がイオン注入の場合のように非晶質化することはないため、非晶質化した領域を多結晶化させるための熱処理も不要になる。従って、絶縁基板1に通常のガラス（高耐熱ガラス）を使用することができる。

【0049】ここで、水素とヘリウムとホスフィンとの混合ガスに高周波エネルギーを印加してプラズマを発生させる際、ヘリウムガスのイオン化確率は水素ガスのそれよりも大きいため、ヘリウムガスの方が水素ガスよりも容易に分解されてイオン化される。その結果、水素ガスおよびホスフィンガスは高周波エネルギーによってイオン化されることに加え、水素ガスおよびホスフィンガスの分子とヘリウムイオンとが衝突することによってもイオン化が促進される。

【0050】従って、従来例（水素とホスフィンとの混合ガス）におけるホスフィンガスのイオン化確率に比べ、本実施例（水素とヘリウムとホスフィンとの混合ガス）におけるホスフィンガスのイオン化確率は大幅に向上することになる。その結果、多結晶シリコン膜2へのリンイオンの注入効率も向上する。

【0051】本発明者は、非晶質シリコンを600℃で20時間かけて固相成長させた多結晶シリコン膜2について、以下の各条件で実験を行った。

実験1；ホスフィンガス（5%希釈水素ガスベース）のみを用いた場合

（ホスフィンガス流量；20sccm，高周波電力（RFパワー）；80W，加速電圧；55kV，リンドーズ量； 1×10^{16} dose/cm²，圧力； 359.1×10^{-4} Pa）

上記条件でドーピング後の多結晶シリコン膜2（ソース・ドレイン領域5）のシート抵抗を四端子法で測定したが、抵抗値が高すぎて測定不能であった。これは、ドーピングによって多結晶シリコン膜2が非晶質化したためであると考えられる。つまり、ホスフィンガスに水素ガスを添加しないと、多結晶シリコン膜2（ソース・ドレイン領域5）を低抵抗化することはできないことがわかる。

【0052】実験2；ホスフィンガス（5%希釈水素ベース）と水素ガスの混合ガスを用いた場合（従来例に相当）

（ホスフィンガス流量；8sccm，水素ガス流量；42sccm，RFパワー；80W，加速電圧；55kV，リンドーズ量； 1×10^{16} dose/cm²，圧力； 532.0×10^{-4} Pa）

上記条件でドーピング後の多結晶シリコン膜2のシート抵抗を四端子法で測定した結果、680Ω/□であった。

【0053】実験3；ホスフィンガス（5%希釈水素ガスベース）と水素ガスとヘリウムガスとの混合ガスを用いた場合（本実施例に相当）

（ホスフィンガス流量；8sccm，水素ガス流量；22sccm，ヘリウムガス流量；20sccm，高周波（RF）パワ

(7)

11

一; 80W, 加速電圧; 55kV, リンドーズ量; $1 \times 10^{16} \text{ do se/cm}^2$, 圧力; $532.0 \times 10^{-4} \text{ Pa}$)

上記条件でドーピング後の多結晶シリコン膜2のシート抵抗を四端子法で測定した結果、 $247 \Omega/\square$ であった。

【0054】このように、実験3（本実施例）においては、多結晶シリコン膜2のシート抵抗を、同じ高周波エネルギー（RFパワー）で実験2（従来例）の約1/3にすることができる。ちなみに、実験2において、実験3と同じシート抵抗を得るためには、RFパワーを80W → 200Wに増大させる必要があった。つまり、RFパワーについてみると、実験3におけるリンイオンの注入効率は、実験2におけるその2.5倍になる。この注入効率は、水素ガスとヘリウムガスの混合比を最適化することで、さらに向上させることが可能である。つまり、水素ガスとヘリウムガスの混合比; $\text{H}_2 / (\text{H}_2 + \text{He}) = 0.01 \sim 0.8$ が適当であり、好ましくは0.2~0.7、特に好ましくは0.2~0.5である。この範囲より狭くなると多結晶シリコン膜2のシート抵抗が高くなる傾向があり、広くなると多結晶シリコン膜2の表面荒れが大きくなる傾向がある。

【0055】また、多結晶シリコン膜2に水素イオンビームを照射することで、多結晶シリコン膜2の水素化処理も同時に行われる。

工程4（図2参照）; デバイスの全面に層間絶縁膜6を形成する。層間絶縁膜6としては、CVD法やPVD法によって形成されたシリコン酸化膜、各種シリケートガラス、シリコン窒化膜などが用いられる。

【0056】その後、ソース・ドレイン領域5とコンタクトするコンタクトホール6aを層間絶縁膜6に形成し、ソース・ドレイン電極7を形成してnチャネルの多結晶シリコンTF Tが完成する。

【0057】このように、本実施例によれば、多結晶シリコン膜2へのリンイオンの注入効率を向上させることで、多結晶シリコン膜2に必要な量の不純物を効率良くドーピングすることができる。そのため、むやみに高周波エネルギーを大きくしなくても、多結晶シリコン膜2（ソース・ドレイン領域5）を十分に低抵抗化することができる。従って、素子特性の優れた低温多結晶シリコンTF Tを形成することができる。また、高周波エネルギーを大きくしなくてもよいと、消費電力を低減することが可能になり、生産コストを低く抑えることができる。

【0058】さらに、イオンシャワーを用いることで、ソース・ドレイン領域5の形成に熱処理工程を設ける必要がなくなる。そして、ソース・ドレイン領域5の形成時に水素化処理も同時に行われるため、水素化処理のための特別な工程を設ける必要もなくなる。その結果、本実施例によれば、製造工程を簡略化することが可能になり、スループットを向上させることができる。尚、ソース・ドレイン領域5の形成に熱処理工程を設ける場合で

12

も、300℃程度の低温の処理で十分となるため、昇温および降温に要する時間は短いものとなり、スループットを低下させることはない。

【0059】そして、このような素子特性の優れた多結晶シリコンTF Tをアクティブマトリクス方式LCDの画素駆動素子として用いることで、LCDの画質を向上させることができる。さらに、多結晶シリコンTF Tのスループットを向上させることにより、LCDのスループットを向上させることもできる。

10 【0060】ところで、ゲート電極4の材質に多結晶シリコンを用いた場合には、ゲート電極4と能動層（多結晶シリコン膜2）とが同じ材質となり仕事関数が一致するため、多結晶シリコンTF Tの閾値電圧（ V_{th} ）を低下させることができる。一方、ゲート電極4の材質に金属を用いた場合には、ゲート電極4を低抵抗化することができる。

【0061】尚、上記実施例は以下のように変更してもよく、その場合でも同様の作用および効果を得ることができる。

20 (1) ホスフィンガスをn型不純物を含んだ他のガスに置き代える。そのようなガスとしては、 PF_3 , PF_5 , PCl_3 , PCl_5 , AsH_3 , AsF_3 , AsF_5 , AsCl_3 , AsCl_5 などがある。

【0062】(2) ホスフィンガスをp型不純物を含んだガスに置き換え、pチャネルの多結晶シリコンTF Tを形成する。そのようなガスとしては、ジボランガス、 BF_3 , BCl_3 , BBr_3 などがある。

30 【0063】(3) ヘリウムガスを他の不活性ガス（ネオン、アルゴン、クリプトン、キセノン、ラドン）に置き代える。各不活性ガスのイオン化確率は水素ガスのそれよりも大きいため、いずれの不活性ガスにおいても上記実施例と同じ作用および効果を得ることができる。但し、不活性ガスの分子量が大きくなるほど、そのプラズマによって多結晶シリコン膜2が受けるダメージは大きくなる。従って、分子量が小さい不活性ガスほど望ましく、ヘリウムガスが最も好適となる。

【0064】(4) 水素ガスを多結晶シリコン膜2の粒界を補償する適宜な元素によるガスに置き代える。そのような元素としては、水素の他にフッ素、塩素、臭素などがある。これらの元素ガスのイオン化確率は各不活性ガスのそれよりも大きいため、いずれの元素ガスにおいても上記実施例と同じ作用および効果を得ることができる。但し、補償のためのガスとして水素ガスをを用いた場合には約400℃で結合が取れてしまうが、フッ素ガス、塩素、臭素を用いた場合には約450~500℃まで結合が維持できるという特徴がある。

50 【0065】(5) 多結晶シリコン膜2のチャネル領域2aに不純物をドーピングして多結晶シリコンTF Tの閾値電圧を制御する。固相成長法で形成した多結晶シリコンTF Tにおいては、nチャネルトランジスタではデ

(8)

13

イブレーション方向に閾値電圧がシフトし、pチャネルトランジスタではエンハンスメント方向に閾値電圧がシフトする傾向にある。特に、水素化処理を行った場合には、その傾向がより顕著となる。この閾値電圧のシフトを抑えるには、チャネル領域2aに不純物をドーピングすればよい。

【0066】(6) プレーナ型だけでなく、逆プレーナ型、スタガ型、逆スタガ型の多結晶シリコンTFTまたは非晶質シリコンTFTに適用する。

(7) 絶縁基板1をセラミックス基板やシリコン酸化膜などの絶縁層に置き換え、LCDではなく密着型イメージセンサや三次元ICなどに適用する。

【0067】(8) 多結晶シリコン膜2を非晶質シリコン膜に置き換え、非晶質シリコンTFTを形成する。

(9) 多結晶シリコン膜2を単結晶シリコン膜に置き換える。また、多結晶シリコン膜2を単結晶シリコン基板に置き換え、バルクトランジスタを形成する。

【0068】(10) 多結晶シリコンTFTを、LCDではなくダイナミックRAM(DRAM)のメモリセル内の電荷転送素子やスタティックRAM(SRAM)のメモリセル内の負荷素子などに用いる。

【0069】以上、各実施例について説明したが、各実施例から把握できる請求項以外の技術的思想について、以下にそれらの効果と共に記載する。

(イ) 請求項9に記載の半導体装置の製造方法において、デバイスの全面に層間絶縁膜を形成する工程と、その層間絶縁膜にソース領域およびドレイン領域とコンタクトするコンタクトホールを形成する工程と、ソース電極およびドレイン電極を形成する工程とを備えた半導体装置の製造方法。

【0070】このようにすれば、薄膜トランジスタを完成させることができる。

(ロ) 請求項5～9のいずれか1項に記載の半導体装置の製造方法において、半導体層のチャネル領域に相当する部分に不純物をドーピングする工程を備えた半導体装置の製造方法。

【0071】このようにすれば、トランジスタの閾値電圧を制御することができる。ところで、本明細書におい

14

て、発明の構成に係る部材は以下のように定義されるものとする。

【0072】(a) 絶縁基板としては、石英ガラス、高耐熱ガラス、高耐熱樹脂、セラミックスなどのあらゆる絶縁材料による基板を含むだけでなく、表面にシリコン酸化膜などの絶縁層を設けた金属基板などの導電性基板をも含むものとする。

【0073】(b) 半導体層としては多結晶シリコン膜だけでなく、非晶質シリコン膜、単結晶シリコン膜、単結晶シリコン基板をも含むものとする。

【0074】

【発明の効果】

1) 低温プロセスによる半導体層への不純物のドーピングに際して、スループットを向上させることが可能な半導体装置の製造方法を提供することができる。

【0075】2) 低温プロセスによる半導体層への不純物のドーピングに際して、半導体層を十分に低抵抗化させることが可能な半導体装置の製造方法を提供することができる。

【0076】3) 素子特性の優れたトランジスタを高いスループットで製造することが可能な半導体装置の製造方法を提供することができる。

4) 画質の優れた表示装置を高いスループットで製造することができる。

【図面の簡単な説明】

【図1】一実施例の製造方法を説明するための概略断面図。

【図2】一実施例の製造方法を説明するための概略断面図。

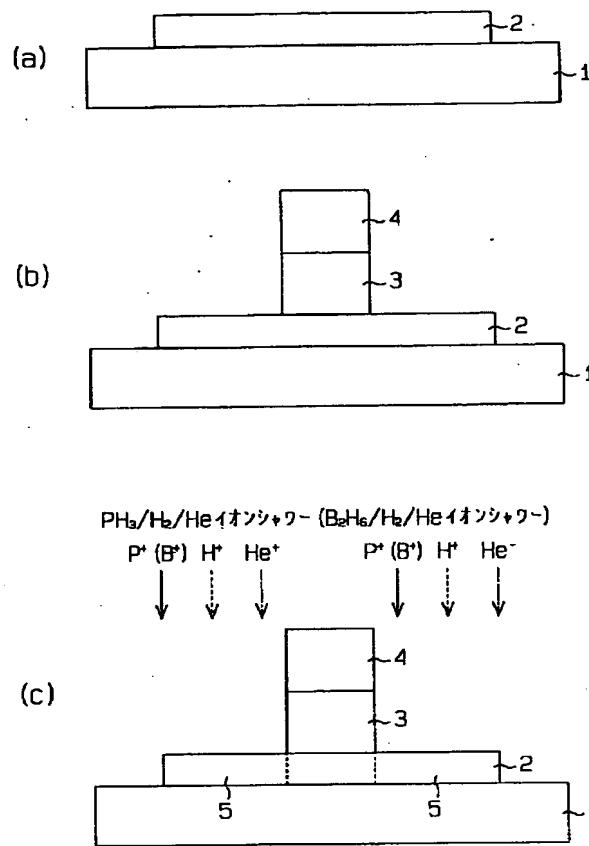
30 【図3】従来例の製造方法を説明するための概略断面図。

【符号の説明】

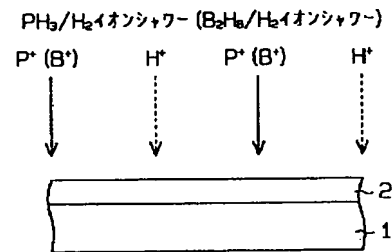
- 1 絶縁基板
- 2 半導体層としての多結晶シリコン膜
- 3 ゲート絶縁膜
- 4 ゲート電極
- 5 ソース領域またはドレイン領域(ソース・ドレイン領域)

(9)

【図1】



【図3】



【図2】

